

**Bipolar transistor having a low doped drift layer of crystalline SiC****Patent number:** JP2002543585T**Publication date:** 2002-12-17**Inventor:****Applicant:****Classification:**

- International: H01L21/331; H01L29/732; H01L29/737

- European: H01L29/737B; H01L29/739

**Application number:** JP20000614486T 20000412**Priority number(s):** SE19990001410 19990421; WO2000SE00698  
20000412**Also published as:**

WO0065636 (A3)

WO0065636 (A3)

WO0065636 (A2)

EP1186049 (A3)

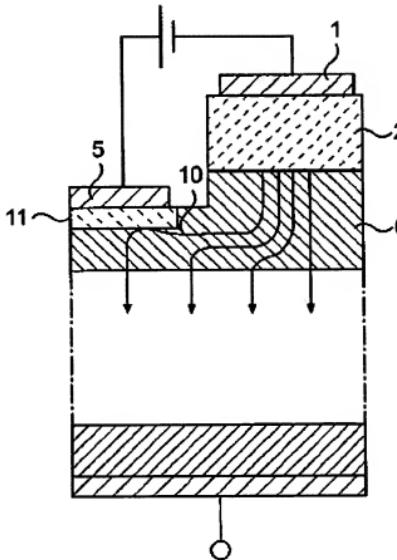
EP1186049 (A3)

[more >>](#)[Report a data error](#) [he](#)

Abstract not available for JP2002543585T

Abstract of corresponding document: **US6313488**

A bipolar transistor having at least a low doped drift layer (14) of crystalline SiC comprises at least one first layer (13) of a semi-conductor material having a wider energy gap between the conduction band and the valence band than an adjacent layer (14) of SiC.



(19)日本国特許庁(JP)

## (12)公表特許公報(A)

(11)特許出願公表番号

特表2002-543585

(P2002-543585A)

(43)公表日 平成14年12月17日(2002.12.17)

(51)Int.C1.<sup>7</sup>H O I L  
21/331  
29/732  
29/737

識別記号

F I

H O I L 29/72

マークド\*(参考)

H 5P003  
P

審査請求 未請求 予備審査請求 有 (全28頁)

(21)出願番号 特願2000-614486(P2000-614486)  
 (86)(22)出願日 平成12年4月12日(2000.4.12)  
 (85)翻訳文提出日 平成13年10月22日(2001.10.22)  
 (86)国際出願番号 PCT/SE00/00698  
 (87)国際公開番号 WO00/65636  
 (87)国際公開日 平成12年11月2日(2000.11.2)  
 (31)優先権主張番号 9901410-2  
 (32)優先日 平成11年4月21日(1999.4.21)  
 (33)優先権主張国 スウェーデン(SE)  
 (81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, US

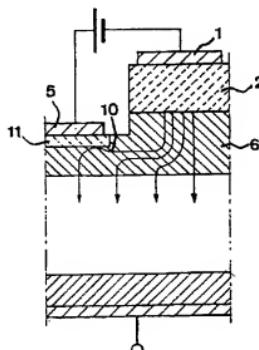
(71)出願人 エービーピー リサーチ リミテッド  
 スイス国シーエイチ - 8050 チューリッヒ, ビ-, オ-, ボックス 8131  
 (72)発明者 クルセ, レナート  
 スウェーデン国 エス-734 36 ハルステッドマナー, バルデルスヴェーゲン 28  
 (72)発明者 パコウスキー, ミーテク  
 スウェーデン国 エス-151 60 セデルティエ, ブロムスチルヴェーゲン 3  
 (72)発明者 グスタフソン, ウルフ  
 スウェーデン国 エス-584 61 リンケビン, エクホルムスヴェーゲン 84エイ  
 (74)代理人 弁理士 園田 吉隆 (外1名)

最終頁に続く

(54)【発明の名称】バイポーラトランジスタ

(57)【要約】

少なくとも結晶性SICの低ドープのドリフト層(14)を有するバイポーラトランジスタは、隣接するSICの層(14)よりも伝導帯と価電子帯の間の広いエネルギーギャップを有する半導体材料の第1の層(13)を少なくとも一つ具備する。



**【特許請求の範囲】**

**【請求項1】** 少なくとも結晶性SiCの低ドープのドリフト層(7、14)を有するバイポーラトランジスタであって、隣接するSiCの層よりも広い伝導帯と価電子帯の間のエネルギーギャップを有する半導体材料の、少なくとも一つの第1の層(2、12、13、15、16、19)を有する、ことを特徴とするバイポーラトランジスタ。

**【請求項2】** トランジスタのエミッタ(2、13、15)が一つの前記第1の層である、ことを特徴とする請求項1記載のトランジスタ。

**【請求項3】** 請求項2記載のトランジスタにおいて、第1の伝導形によってドープされ、かつ、トランジスタのエミッタ(2)及びコレクタ(4)を物理的に隔離する、連続したベース層(6)を有し、それらのエミッタ(2)及びコレクタ(4)が逆の第2の伝導形によってドープされており、また、手段(11、12)が、ベース層との接点を成す電極に次いで配置され、エミッタからベース層内へ注入される少數電荷キャリアに対するエネルギー障壁を導入し、それら少數電荷キャリアのベース接点電極における再結合を減少させる、ことを特徴とするトランジスタ。

**【請求項4】** 請求項3記載のトランジスタにおいて、前記手段は、前記接点電極(5)に次いで設置され、かつ、ベース層の残部よりも高い前記第1の伝導形のドーピング濃度を有する、前記ベース層(6)のサブ層(11)によって形成されている、ことを特徴とするトランジスタ。

**【請求項5】** 請求項3記載のトランジスタにおいて、前記手段は、ベース層の接点電極を形成するためのベース層(6)に次ぐ一つの前記第1の層(12)の配置によって形成され、かつ、第1の伝導形によってドープされている、ことを特徴とするトランジスタ。

**【請求項6】** 請求項1又は2のいずれかに記載のトランジスタにおいて、トランジスタのベースは、第1の伝導形によってドープされ、かつ、逆の第2の伝導形によってドープされたドリフト層(14)に、隣接する各グリッド・バー(17)の間にドリフト層の領域(18)を残しつつ、埋め込まれた、グリッド(16、19)によって形成され、トランジスタのエミッタ(13)及びコレク

タ(15)もまた、前記第2の伝導形によってドープされている、ことを特徴とするトランジスタ。

【請求項7】 請求項6記載のトランジスタにおいて、一方(16)がエミッタの近くに配置され、かつ、他方(19)がコレクタの近くに配置された、2つのベース・グリッドを有し、トランジスタが電流伝導及びターンオフ能力に関して二方向性となり、かつ、トランジスタの各様での動作においてエミッタに最も近いベース・グリッドがトランジスタを制御するのに用いられるように配置されている、ことを特徴とするトランジスタ。

【請求項8】 ベース・グリッド(16、19)が一つの前記第1の層である、ことを特徴とする請求項6又は7記載のトランジスタ。

【請求項9】 請求項8記載のトランジスタにおいて、ベース・グリッド(16、19)及びエミッタ(13、15)の双方は、ドリフト層のSiCよりも広い伝導体と価電子帯の間のエネルギーギャップを有する材料の前記第1の層である、ことを特徴とするトランジスタ。

【請求項10】 請求項6ないし9のいずれかに記載のトランジスタにおいて、異なる各グリッド・バーがトランジスタの表面(17、21)に垂直に延び、かつ、隣接する各グリッド・バー表面(22)の間の前記表面の領域上にエミッタ部分(13)が配置されている、ことを特徴とするトランジスタ。

【請求項11】 請求項6ないし10のいずれかに記載のトランジスタにおいて、トランジスタのエミッタとコレクタの間の逆方向に、300Vを超える電圧が加えられるときに、好ましくは200Vを超える電圧が加えられるときには既に、隣接する各グリッド・バーを隔離するドリフト層の領域(18)が完全に空乏化することになるように、ドリフト層(14)における隣接する各グリッド・バー(17)間の側方距離が選択される、ことを特徴とするトランジスタ。

【請求項12】 請求項9ないし11のいずれかに記載のトランジスタにおいて、前記第1の層とそれに隣接するSiCの層との間の接合(9)が、前記隣接するSiCの層から離れる方向において変化する第1の層の組成に従って段階的になっている、ことを特徴とするトランジスタ。

【請求項13】 前記第1の層(2、12、13、15、16、19)が主

要構成要素として3B-窒化物群を有する、ことを特徴とする請求項1ないし12のいずれかに記載のトランジスタ。

【請求項14】 前記第1の層(2、12、13、15、16、19)が前記主要構成要素としてAl<sub>x</sub>Ga<sub>1-x</sub>Nを有する、ことを特徴とする請求項13記載のトランジスタ。

【請求項15】 xが0.2よりも小さいことを特徴とする請求項14記載のトランジスタ。

【請求項16】 請求項14又は15記載のトランジスタにおいて、前記第1の層とそれに隣接するSiCの層との間の接合(9)が、前記隣接するSiCの層から離れる方向において減少していくxに従って段階的になっている、ことを特徴とするトランジスタ。

【請求項17】 請求項14ないし16のいずれかに記載のトランジスタにおいて、前記第1の層(2、12、13、15、16、19)は、前記第1の層と隣接するSiCの層との間の界面を形成するAlNの薄いサブ層を有する、ことを特徴とするトランジスタ。

【請求項18】 請求項1ないし11のいずれかに記載のトランジスタにおいて、前記第1の層は、隣接するSiCの層とは異なる他のポリタイプの結晶性SiCでできている、ことを特徴とするトランジスタ。

【請求項19】 高い電力及び/又は高い電圧での用途のための、請求項1ないし18のいずれかに記載のトランジスタの使用。

【請求項20】 請求項19記載の使用において、逆バイアスにされたときに、5kVよりも高く、特に10kVよりも高く、かつ、好ましくは20kVよりも高く、電圧を保持することができるように構成される、ことを特徴とする使用。

**【発明の詳細な説明】****【0001】**

(発明の分野及び従来の技術)

本発明は、少なくとも結晶性SiCの低ドープのドリフト層(a low doped drift layer of crystalline SiC)を有するバイポーラトランジスタに関する。

**【0002】**

SiCは、高い耐熱性、高い熱伝導性及び高いブレークダウン領域のようないくつかの優れた物理特性を有しており、特に、その高いブレークダウン領域は、Siについてよりも約10倍高く、SiCを、デバイスの遮断状態中に高い電圧が発生し得るという条件下で動作する高出力デバイス用の材料に、よく適したものとしている。その高いブレークダウン領域は、SiCのトランジスタを比較的薄くすることを可能にし、そしてさらに、その遮断状態中にオン状態損失を減らしつつ高い電圧を保持することを可能にしている。

**【0003】**

本発明は、特に高出力の用途に適したバイポーラトランジスタを中心として利用され、具体的には、例えばHVDC変換局(HVDC converter stations)におけるもののような異なるタイプの変換器等での、電力量の配電及び送電の分野において利用され、以下ではそれに関して説明する。しかし、本発明は、高い電力及び／又は電圧を取り扱うためのトランジスタに限定されるとみなすべきものではない。他の適用可能なものとしては、例えば電流ブレーカや電流リミッタ等が挙げられる。

**【0004】**

上に定義したような“ドリフト層”は、幅広く解釈されるべきものであり、コレクタの部分であってもよく、さらに、かかるトランジスタの構成によってはベースの部分であってもよい場合もある。

**【0005】**

既に知られているこのタイプのトランジスタは、通常ではバイポーラ接合トランジスタ(BJT(Bipolar Junction Transistor))と呼ばれており、高出力用途向きの既に知られているそのトランジスタにおいて主に難点となっているのは

、トランジスタのベース用の接点に供給しなければならない大きな制御電流である。小さな制御電流を実現するためにはベース幅を非常に小さくする必要があるが、薄いベース層は、ドーピングを多くしなければ突抜け現象によるブレークダウン（punch-through breakdown）によって損なわれる。ベースの多量なドーピングは、エミッタの注入効率を下げ、かつ、これによって制御電流を増大させる。このことは、実際には、トランジスタのオン状態においてベース接点に大きな制御電流を供給しなければならず、不必要でかつ大抵は許容できない高い電力損失を生じさせる結果となる。

### 【0006】

#### (発明の要約)

本発明の目的は、導入部分で定義したタイプのバイポーラトランジスタであって、既に知られている上記のトランジスタよりも効率的に動作する、すなわち、少ないオン状態損失と少ないベース電流で動作する、バイポーラトランジスタを提供することであり、そのバイポーラトランジスタにおいては、上で論説した難点が軽減される。

### 【0007】

この目的は、本発明によれば、隣接するSiCの層よりも伝導帯と価電子帯の間の広いエネルギーギャップを有する半導体材料の第1の層を少なくとも一つ有するようなトランジスタを提供することにより、達成される。したがって、そのようなトランジスタは、少なくとも2つの異なる材料の半導体層を有することになるので、ヘテロ接合バイポーラトランジスタ（HBT (Heterojunction Bipolar Transistor)）と呼ばれることがある。しかし、ここで強調すべき点として、この定義付けは、より広いバンドギャップを有する前記半導体材料を、近隣の層に用いるポリタイプのSiCより広いバンドギャップを有するポリタイプのSiCによって形成するケースをも含む、という点がある。

### 【0008】

そのようなより広いバンドギャップ材料の上記第1の層の導入は、すべての層が同じ結晶性SiCの半導体材料でできているバイポーラトランジスタに対して必要となるベース電流よりも小さいベース電流を用いることによってトランジス

タのオン状態を成し遂げることを可能にし、これによってトランジスタのオン状態損失を低減することを可能にする、ということが発見されている。

### 【0009】

本発明の第1の好ましい実施形態によれば、トランジスタのエミッタが一つの前記第1の層とされる。この結果、エミッタとベースの間がヘテロ接合となり、そして、このヘテロ接合は、(ベースの多量なドーピングを伴う場合であっても)それ故に低い障壁を通じてエミッタから多くのキャリア注入を維持し、かつ、ベースからのキャリア注入に対する増大した価電子帯障壁によってベースからのキャリア注入を抑制し、低いエミッタ注入効率と増大するベース制御電流を結果として生じる通常のバイポーラトランジスタにおけるベースの多量なドーピングによる問題を解決する。

### 【0010】

本発明の他の好ましい実施形態によれば、トランジスタは、第1の伝導形 (conductivity type) によってドープされ、かつ、トランジスタのエミッタ及びコレクタを物理的に隔離する連続したベース層を有し、それらのエミッタ及びコレクタが逆の第2の伝導形によってドープされており、また、手段が、前記ベース層との接点 (接触部) を成す電極に次いで配置され、エミッタから前記ベース層内へ注入される少数電荷キャリアに対するエネルギー障壁を導入し、それら少数電荷キャリアのベース接点電極における再結合を減少させる。ベース接点における少数電荷キャリアの再結合の問題を解決せずにエミッタとベースの間にヘテロ接合を持つHBT構造の利点を完全に獲得することはできないということが分かっている。その問題の解決がなされなければ、エミッタからベース層内へ注入される少数電荷キャリアの大部分が逆の電荷のキャリアとの再結合を通じてベース接点により“吸収”されることになるので、HBT構造の利点が失われることになり得る。その結果、与えられるベース電流の下でより高いコレクターエミッタ電圧を生じる、すなわち、一定のコレクターエミッタ電圧に対してより大きなベース電流が必要とされる。しかし、この問題は、少数電荷キャリアに対してエネルギー障壁を形成する前記手段の導入によって解決され、それによる結果として、ベース接点に近づいて来るそれら電荷キャリアを代わりにコレクタの方向に向

かわせる方向転換を生じさせる。

### 【0011】

本発明の他の好ましい実施形態によれば、前記手段は、前記接点電極に次いで設置された前記ベース層のサブ層（sub-layer）であって、ベース層の残部に比べて前記第1の伝導形のより高いドーピング濃度を有する前記ベース層のサブ層によって形成され、本発明のさらに好ましい実施形態は、第1の伝導形によってドープされた、ベース層の接点電極を形成するためのベース層に次ぐ一つの前記第1の層の配置によって形成された前記手段を有し、これにより、少数電荷キャリアに対するエネルギー障壁が、第1のケースではより高い前記ドーピング濃度によって形成され、また、第2のケースではベース接点におけるヘテロ接合の導入によって形成され、そして、双方の対策がベース接点での電子の再結合を効率的に減少させるようになっている。

### 【0012】

本発明の他の好ましい実施形態によれば、トランジスタのベースは、第1の伝導形によってドープされ、かつ、隣接する各グリッド・バーの間にドリフト層の領域を残しつつ逆の第2の伝導形によってドープされたドリフト層に埋め込まれたグリッドによって形成されており、トランジスタのエミッタ及びコレクタも前記第2の伝導形によってドープされている。この全く新たな構成（設計）によるバイポーラトランジスタもオン状態損失を効率的に低減するものとなる。これは、主に、エミッタからドリフト層内へ注入される電荷キャリアが、それらが少数電荷キャリアであるとの層にも移送されることにならないという事実により、成し遂げられ、この事実は、電荷キャリアの寿命がより長いことを意味している。また、第1の伝導形の電荷キャリアのより少ない電流でドリフト層においてプラズマを得、低いコレクターエミッタ電圧を得るために必要なベース制御電流が減少することも可能となる。これは、エミッタがn形であり、したがってベース層がp形であるケースにおいて、エミッタから注入される電子がpドープされた（p-doped）領域を通過して移送されることがなくなり、かつ、例えばBドープ及びAlドープのSiC（B- and Al-doped SiC）における再結合中心によって標準的なHBTの多量にドープされたp-ベース（highly doped p-bas

e) での寿命を非常に短く制限される可能性が回避され、そして、グリッドを通じて供給されるより少ないホール電流でプラズマを得ることもできる、ということを意味している。

#### 【0013】

このすぐ前に述べた実施形態のさらなる改良である本発明の他の好ましい実施形態によれば、トランジスタは、2つのベース・グリッドを具備し、一方がエミッタの近くに配置され、かつ、他方がコレクタの近くに配置されたものとし、トランジスタが電流伝導及びターンオフ能力（turn-off capabilities）に関して二方向性（bi-directional）となり、かつ、トランジスタの各様の動作においてエミッタに最も近いベース・グリッドがトランジスタを制御するのに用いられるように配置されるようにする。その結果、これは、トランジスタの動作をより柔軟なものとし、かつ、その適用可能な用途を広げることになる。また、ダイオードのアノード側からのホールの注入を増大させることも可能になり、そのホールの注入を増大させることがオン状態損失のさらなる低減をもたらすことになる。

#### 【0014】

本発明の他の好ましい実施形態によれば、ベース・グリッドが一つの前記第1の層とされる。これは、目標とされる低いオン状態電圧を得るために必要なベース電流を減少させることになり、それ故に一つの前記第1の層としてエミッタの構成を意図し、そして、特に有利な点として、ベース・グリッドとエミッタの双方が、ドリフト層のSiCよりも広い伝導帯と価電子帯の間のエネルギーギャップを有する材料の一の前記第1の層であるという点があり、それは、低いコレクターエミッタ電圧に必要なベース電流を一桁の大きさ分以上に非常に著しく減少させる。

#### 【0015】

本発明の他の好ましい実施形態によれば、それぞれ異なるグリッド・バーがトランジスタの表面に対して垂直に延び、かつ、前記表面における隣接する各グリッド・バー表面間の領域上にエミッタ部分が配置される。この構成は、ドリフト層内へのドーパントの高エネルギー注入によってグリッド・バーを生成すること

が望まれる場合により好ましいものとなり得るが、その生成のために再成長 (regrowth) の手法を用いる場合にグリッド・バーを前記表面から垂直に隔離させることも可能である。

### 【0016】

本発明の他の好ましい実施形態によれば、ドリフト層における隣接する各グリッド・バー間の側方距離 (lateral distance) は、トランジスタのエミッタとコレクタの間の逆方向に 300 V を超える電圧が加えられるときに (好ましくは 200 V を超える電圧が加えられるときには既に)、隣接する各グリッド・バーを隔離するドリフト層の部分が完全に空乏化することになるように、選択される。これにより、遮断した p-n 接合を形成する前記第 1 の伝導形の連続した層が比較的低い電圧で生成されることになるので、それから空間電荷領域が垂直に増大して行ってより一層高い電圧をとり得ることとなり、ダイオードの遮断状態において 10 kV を十分に上回る電圧をとり得ることになる。

### 【0017】

本発明の他の好ましい実施形態によれば、前記第 1 の層は、主要構成要素として 3-B-窒化物群 (a group 3-B-Nitride) を有し、特に Al<sub>1-x</sub>Ga<sub>x</sub>N を前記主要構成要素として用いるのが好ましい。かかる半導体材料は、SiC よりも広いバンドギャップを有し、かつ、SiC に対して良好な格子整合 (lattice match) を有するものとなるので、ヘテロ接合において高品質な界面を形成することもでき、その界面が劣悪であれば界面トラップ (interface traps) での電荷キャリアの再結合の割合が高くなる結果としてヘテロ接合の利点が全く失われることになるため、かかる高品質な界面は必須である。AlN は、SiC に対し、それらのすべての構成要素のうちで最良の格子整合を有し、かつ、6H-SiC に対しての不整合は 0.7% 程度と低い。したがって、x をヘテロ接合近くに高くするのも好ましいこととなり得るが、AlN をドープする困難性により、これまでのところ如何なるケースにおいても、GaN を別のやり方で第 1 の層用の前記材料としてより適切なものにすることになっており、また、前記第 1 の層におけるドーパントの十分に高い濃度を得るために x が 0.2 よりも小さいことが好ましい。したがって、x の選択は、格子整合とドーピングのレベルとの間

の折衷案によるものとなり、この問題は、将来において不純物ドーピングがより発達した時に解決され得る。この結果、本発明の好ましい実施形態によるトランジスタは、前記第1の層とそれに隣接するS i Cの層との間の接合を有し、その接合がS i Cの前記隣接層から離れる方向において減少していくxに従って(xに応じて)段階的なもの(graded)となる。前記第1の層のそのような構造は、S i Cの隣接層に対する優れた格子整合と十分に高くしたドーピング濃度との組合せを可能にする。この問題を解決する他の方法としては、前記第1の層とS i Cの隣接層との間の界面を形成するAINの薄いサブ層を前記第1の層に設ける。かかるサブ層は、非常に薄くてもよく、原子層(atom layers)のオーダーであってもよい。

### 【0018】

本発明のさらなる好ましい特性や利点は、以下の説明と他の従属請求項から明らかとなるであろう。

### 【0019】

(図面の簡単な説明)

添付図面を参照しつつ、例として挙げる本発明の好ましい実施形態の具体的な説明を以下に続けて行う。

図面において、

図1は、本発明の第1の好ましい実施形態によるヘテロ接合バイポーラトランジスタ(HBT(Heterojunction Bipolar Transistor))の概略的な断面図であり、

図2は、図1によるトランジスタにおけるエミッタとベースの間のヘテロ接合のバンド図であり、

図3は、本発明の第2の好ましい実施形態によるトランジスタの図1に対応した図であり、

図4は、本発明の第3の好ましい実施形態によるトランジスタの図であり、

図5は、本発明の異なる実施形態によるトランジスタについてのベース電流密度の対数に対するコレクターエミッタ電圧のグラフであり、

図6は、本発明の第4の好ましい実施形態によるトランジスタの図1に対応し

た図であり、

図7は、図6に示したタイプの本発明による異なるトランジスタのグリッド電流密度に対するコレクターエミッタ電圧のグラフであり、

図8は、図6によるトランジスタの変形である本発明の第5の好ましい実施形態によるトランジスタの一部の図1に対応した図である。

### 【0020】

(発明の好ましい実施形態の詳細な説明)

図1には、例えば4H-ポリタイプ(4H-polytype)等のSiCで作られたヘテロ接合バイポーラトランジスタを概略的に例示してある。ただし、ここで注意すべきこととして、この図に示したこのデバイスにおける各領域の相対的な寸法は、図示の明確性のためだけに選定したものに過ぎず、このことは他の図面においても同様である。

### 【0021】

このトランジスタは、3つの電極、すなわち、エミッタ2に対する接点（接触部）を成す一つの電極1と、コレクタ4に対する接点を成す電極3と、ベース6に対する接点を成す電極5とを有している。エミッタ2は、第1の伝導形によってドープされており、以下においては、説明の全体を通じてこの第1の伝導形がn形であるものと考えることにするが、すべての別の実施形態においてすべての層の伝導形を逆のものに交換することが可能である点には特に留意されたい。図5及び図7に示した数字の値を得るに当たっては、例を示すという目的で次に述べるドーピングや層の厚さの代表的な値を用いている。エミッタのドーピング濃度は、 $5 \cdot 10^{18} \text{ cm}^{-3}$ である。ベース6は、p形にドープされ、かつ、例えば $10^{18} \text{ cm}^{-3}$ のドーピング濃度を有するものとしてもよく、これに対して、コレクタ4は、n形のものであり、かつ、約 $10^{14} \text{ cm}^{-3}$ のドーピング濃度の低ドープのドリフト層7と約 $10^{18} \text{ cm}^{-3}$ のドーピング濃度の高ドープの層8とを有するものとなっている。ベース及びコレクタはSiCのものであるのに対し、エミッタは、ベース層6におけるSiCよりも広い価電子帯と伝導帯の間のエネルギーギャップを有する半導体材料のものであり、かつ、それは、好ましくはAl<sub>x</sub>Ga<sub>1-x</sub>Nであり、Al<sub>x</sub>Ga<sub>1-x</sub>Nは、バンドギャップ

を 3.33 eV (GaN) から 6.2 eV (AlN) まで変化させることを可能にする。それは、ベースに次ぐ、それに対する界面を改良するための、AlN の薄いサブ層 2 3 を有するものとしてもよい。各層の厚さは、2 : 1 μm、6 : 1 μm、7 : 100 μm 及び 8 : 2 μm のようにしてもよい。

### 【0022】

図 2 は、平衡状態でのヘテロ接合 9 のバンド曲がり (the band bending) を示している。この例では、バンド・オフセットが完全に価電子帯における位置に定められており、それは、接合がホールを受け入れないものとすべき場合に望まれる。ベースーエミッタのヘテロ接合 9 は、このようにして、エミッタからの多くの多数キャリア注入を維持し、かつ同時に、ホールに対する増大したエネルギー障壁によりベースからの少数キャリア注入を抑制するものとなる。矢印 e、h は、それぞれ、ヘテロ接合を通過するために電子、ホールが進む道を表している。このトランジスタは効率的であるが、矢印 10 で例示したように、ベースの層内へ注入された電子の一部がベース接点 5 の領域に到達し、その領域でそれらの到達した電子がホールと再結合することになるため、図 2 で説明した有利な構造による利益を完全に享受することはできない。これにより、エミッタとベースの間に電圧 (電源 11 参照) を加えることにより生じるベース制御電流は、エミッタからベースへの電子の十分な注入を実現してトランジスタのオン状態において低いコレクターエミッタ電圧を得るために比較的大きくしなければならないことになる。

### 【0023】

図 3 は、本発明の第 2 の好ましい実施形態によるヘテロ接合バイポーラトランジスタを例示した図であり、この第 2 の好ましい実施形態は、図 1 に示した実施形態の好ましい発展形を構成し、上に論説した問題に対処すると共に図 1 による実施形態におけるヘテロ接合による利益を十分に享受するものである。このトランジスタは、接点電極 5 に次いで設けられ、かつ、ベース層の残部よりも高い p 形ドーピング濃度を有する、ベース層 6 のサブ層 11 を配置してある点が図 1 によるトランジスタとは異なっている。そのサブ層 11 は、例えば、ベース層よりも 1 衍ないし 2 衍の大きさ分高いドーピング濃度、すなわち、 $10^{19} \sim 10^{20}$

$\text{cm}^{-3}$  のドーピング濃度を有するものとしてもよい。これにより、電子に対するエネルギー障壁が導入されることになり、そのエネルギー障壁が接点電極 5 から離れてコレクタの方へ向かう矢印 10 の方向に電子の方向を変えることになるので、ベース層内へ注入される電子の再結合が著しく減少すると共に、より少ないベース電流の下で低いオン状態電圧が実現されることになる。

### 【0024】

図 4 に示したトランジスタの実施形態は、ベース層の SiC よりも広いバンドギャップを有し、かつ、p 形にドープされた、例えばエミッタについて上に論説した材料のうちのいずれかの、半導体材料のベース層の上面の追加の層 12 を配置してある点が、図 3 によるトランジスタとは異なっており、そして、この層 12 は、図 3 による層 11 と同じ機能を有することになり、すなわち、この層 12 は、電子に対するエネルギー障壁であって、それらをコレクタに向かう方に方向転換させるエネルギー障壁を形成する。

### 【0025】

図 5においては、a) 図 1 によるトランジスタ、b) 図 4 によるトランジスタ、及び c) 理想的な一次元のヘテロ接合バイポーラトランジスタについて、コレクタ電流密度を  $100 \text{ A/cm}^2$  の一定値として、 $\text{A/cm}^2$  単位でのベース電流密度の (10 を底とした) 対数に対するボルト単位でのコレクターエミッタ電圧を例示してある。構造の遮断能力 (the blocking capability of the structure) は  $10 \text{ kV}$  であり、かつ、ドリフト領域での想定されるキャリア寿命は  $10 \mu\text{s}$  である。曲線 b については、図 3 による実施形態についての曲線とほぼ完全に一致することになると言うこともできる。ベース接点の近くにエネルギー障壁を配置することにより、約  $0.2 \text{ V}$  の低いコレクターエミッタ電圧を得るためのベース電流密度がどのように 1 枝の大きさ分以上 (すなわち一因数 10 以上) 低減されるかが例示されている。

### 【0026】

図 6 は、本発明の第 4 の好ましい実施形態によるバイポーラトランジスタを概略的に例示した図であり、このバイポーラトランジスタは、n 形のエミッタ 13 、低ドープの n 形のドリフト層 14 及び n 形のコレクタ 15 を有している。さら

に、このバイポーラトランジスタは、エミッタ13からある距離をおいてドリフト層に埋め込まれたp形のグリッドにより形成されたベース16を備えている。隣接する各グリッド・バー17は、それぞれの間にドリフト層の領域18を残している。コレクタだけでなくエミッタも、例えば4Hポリタイプ等の、結晶性SiCで作られたドリフト層より広いバンドギャップを有する半導体材料で作られている。さらに、グリッド16に対応するさらなるグリッド19が、グリッド16とエミッタ13の間の距離に対応するコレクタ15への距離をおいてドリフト層に埋め込まれている。したがって、このトランジスタは、それを2つの同一部分に分割する側方の相称線(lateral symmetry line)を有するので、二方向性の動作をさせることもできる。したがって、グリッド19にベース電圧を加えることが可能となり、その場合には、グリッド19は、ベースとなり、かつ、エミッタとして層15を有すると共にコレクタとして層13を有することになる。これにより、二方向性の電流伝導と二方向性のターンオフ能力とが実現されることになる。さらに、エミッタからドリフト層内へ注入された電子は、多量にドーピングがなされたp形のどの領域を通じても移送されることにはならず、短縮されたキャリア寿命によって特徴付けられ、そして、ドリフト層における伝導プラズマ(conducting plasma)をそれのより長いキャリア寿命によって得るにはより少ないベース電流が必要とされることになる。図6には、電圧源20がどのようにグリッド16、17に加えられるかが概略的に例示されており、グリッド19についての対応する電圧源は要望に応じて設けられることになる。このタイプのデバイスは、グリッドHBTと呼ばれることもある。

### 【0027】

ドリフト層における隣接する各グリッド・バー間の側方距離は、100～200Vの電圧が加えられるときに、隣接する各グリッド・バーを隔離するドリフト層の部分18が十分に空乏化することになるように選択され、これにより、そのときから空間電荷領域が垂直に増大して行き、そして例えば10kVの遮断電圧をとり得るようにする。

### 【0028】

図7におけるグラフは、a) 従来技術による在来のグリッドBJT(若しくは

グリッドS I T) のケース、b) グリッドがGaNで形成されているケース、すなわち、グリッドがSiCよりも広い価電子帯と伝導帯の間のギャップを有する半導体材料で形成されているケース、c) エミッタだけがGaNのものである場合、及びd) ベース・グリッドとエミッタの双方がGaNのものである場合について、コレクタ電流密度を $100\text{ A/cm}^2$ の一定値として、 $\text{A/cm}^2$ 単位でのベース電流密度に対する図6によるトランジスタのボルト単位でのコレクター・エミッタ電圧を例示したものである。b)、c)、そして最後にd)による対策をとることにより、如何に、トランジスタのオン状態を得るために必要なベース電流をますます多く低減していくことができるかが示されている。構造の遮断能力は $10\text{ kV}$ であり、かつ、ドリフト領域での想定されるキャリア寿命は $10\mu\text{s}$ である。

### 【0029】

図8は、各グリッド・バーがトランジスタの表面21へ垂直に延び、かつ、隣接する各グリッド・バー表面22との間の前記表面の各領域上に各エミッタ部分13が配置されているという事実により、図6に示したものとは異なっている実施形態によるトランジスタを例示した図である。このトランジスタは、図6に示したものと同じ原理によって機能し、かつ、それもまた二方向性に構成することもできる。しかし、それは、あるプロセス設備(process equipment)を用いてより容易に実現することもでき、すなわち、それは、より少ない処理過程を通じて実現することもでき、また、グリッドをSiCで形成するケースにおいては、これは、先にエピタキシャル成長により形成したドリフト層内へのp形ドーパントの高エネルギー注入によって実現することもできる。

### 【0030】

p形ドーパントとして適切なものは、SiCについてはB及びAlであり、また、Nは、好ましくは、SiCの層のエピタキシャル成長の間に任意の方法でそのSiCの層の中に必然的に導入されるn形ドーパントとして用いることにしてよい。

### 【0031】

本発明は、勿論、如何なる点においても上述した好ましい実施形態に限定され

るものではないが、その変形に対する多くの可能性は、特許請求の範囲に規定されたような本発明の基本的な思想から逸脱することなく当業者にとっては明らかであろう。

#### 【0032】

上記記載及び特許請求の範囲においてなされている材料の定義については、必然的な不純物 (inevitable impurities) をも当然に含む点に注意されたい。

#### 【0033】

例えば、図6及び図8に示したタイプのデバイスにおいてグリッドを一つだけ有するものとすることも可能であり、その場合には、それは一方向性 (uni-directional) のものとなる。

#### 【0034】

“トランジスタ”は、ここでの記載及び特許請求の範囲において、コレクタの下に第1の伝導形によりドープされた追加の層を配置するケース、すなわち、サイリスタのようなデバイスを実現するための、例えば図3の実施形態において多量にドープしたp形層等を配置するケースをも、包含すると解釈すべきものである。

#### 【0035】

垂直方向においてドリフト層7、14のドーピング濃度を変化させることも可能である。

#### 【0036】

伝導特性を制御（調整）するために採用可能な他の対策としては、ドリフト層7、14における電荷キャリアの寿命を要望されるレベルに下げることが挙げられる。これは、例えば、高エネルギーの電子、陽子ないしイオンによるその照射 (irradiation) によって実現することもできる。

#### 【0037】

SiCに対する格子整合（低いトラップ密度 (trap density) を持つ優れた界面）とSiCよりも広いエネルギー・バンド・ギャップとの最適な組合せを成し遂げるためには、第1の層について上述した材料以外の他の材料を用いて、この層と隣接するSiCの層との間の段階的な接合を実現するようにすることも可能

である。

【図面の簡単な説明】

【図1】 本発明の第1の好ましい実施形態によるヘテロ接合バイポーラトランジスタ（HBT (Heterojunction Bipolar Transistor)）の概略的な断面図である。

【図2】 図1によるトランジスタにおけるエミッタとベースの間のヘテロ接合のバンド図である。

【図3】 本発明の第2の好ましい実施形態によるトランジスタの図1に対応した図である。

【図4】 本発明の第3の好ましい実施形態によるトランジスタの図である。

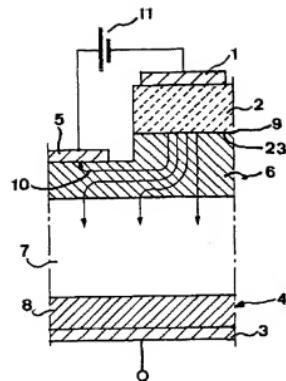
【図5】 本発明の異なる実施形態によるトランジスタについてのベース電流密度の対数に対するコレクターエミッタ電圧のグラフである。

【図6】 本発明の第4の好ましい実施形態によるトランジスタの図1に対応した図である。

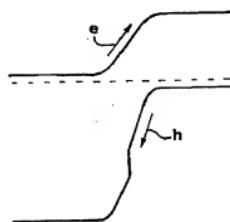
【図7】 図6に示したタイプの本発明による異なるトランジスタのグリッド電流密度に対するコレクターエミッタ電圧のグラフである。

【図8】 図6によるトランジスタの変形である本発明の第5の好ましい実施形態によるトランジスタの一部の図1に対応した図である。

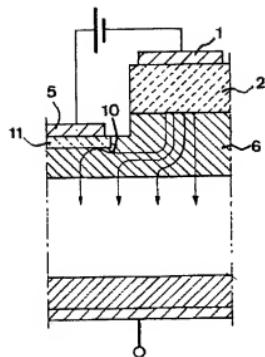
【図1】

Fig. 1

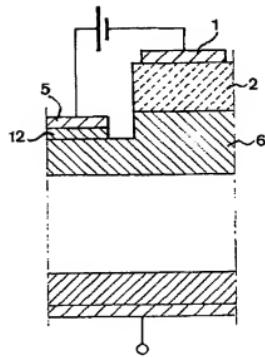
【図2】

Fig. 2

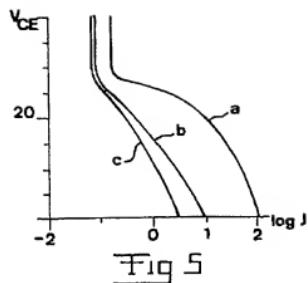
【図3】

Fig. 3

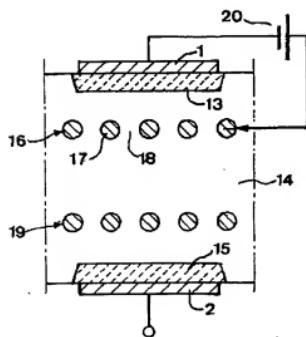
【図4】

Fig. 4

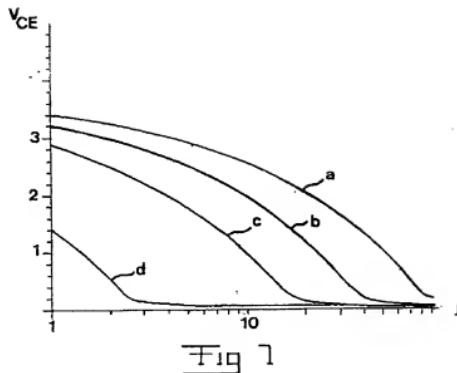
【図5】



【図6】



【図7】



【図8】

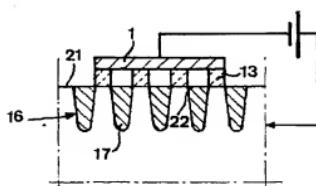


Fig. 8

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/SE 00/00698
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC7: H01L 29/06, H01L 29/12, H01L 29/24, H01L 29/73 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbol)		
IPC7: H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5641975 A (ANANT K. AGARWAL ET AL), 24 June 1997 (24.06.97), column 4, line 49 - line 67; column 5, line 51 - line 54	1-2
Y	--	3-5
X	US 5624853 A (SHINICHI SHIKATA), 29 April 1997 (29.04.97), column 2, line 2 - line 8	1-2
X	--	
X	US 4985742 A (J.I.PANKOVE), 15 January 1991 (15.01.91), column 5, line 43 - column 6, line 7	1-2
X	--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<ul style="list-style-type: none"> <li>* Special categories of cited documents</li> <li>*A* document defining the general state of the art which is not considered to be of particular relevance</li> <li>*B* document published on or after the international filing date</li> <li>*C* document which may throw doubt on priority claim(s) or which is cited before the publication date of another citation or other formal reason (as specified below)</li> <li>*D* document referring to an oral disclosure, use, exhibition or other means</li> <li>*E* document published prior to the international filing date but later than the priority date claimed</li> <li>*T* later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</li> <li>*X* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is taken alone</li> <li>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other specific documents, such combination being made by a person skilled in the art</li> <li>*Z* document member of the same patent family</li> </ul>		
Date of the actual completion of the international search <b>25 October 2000</b>	Date of mailing of the international search report <b>06 -11- 2000</b>	
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 56	Authorized officer <b>Birgit Politt/MN</b> Telephone No. +46 8 782 25 00	

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/SE 00/00698

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	J. Pankova et al 'High-temperature GaN/SiC heterojunction bipolar transistor with high gain.' In: Electron Devices Meeting, 1994. Technical Digest., International 11-14 December 1994, p. 389-392 see abstract --	1-2
Y	S.N. Sze, Physics of Semiconductor Devices., New York: Wiley - Interscience, 1981 ISBN 0-471-05661-8, p. 304-306 --	3-5
A	US 5652437 A (C. HARRIS), 29 July 1997 (29.07.97), column 2, line 31 - line 36 -----	3-5



## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/SE/00/00698

The international application is considered not to comply with the requirements of unity of invention, as follows:

1. Claims 1-5 directed to a bipolar transistor with special technical features regarding the material and doping of different layers.
2. Claims 6-12 directed to a bipolar transistor with special technical feature regarding the formation of the base in grid form.
3. Claims 13-17 directed to a bipolar transistor with special technical feature regarding a first layer that has a group 3B-nitride as major component
4. Claim 18 directed to a bipolar transistor with special technical feature regarding a first layer that is made of crystalline SiC of another polytype than an adjacent layer of SiC.
5. Claims 19-20 directed to a use of a bipolar transistor in high power or high voltage applications.

The invention described in claims 1-2 lacks novelty (see all X-documents and their referred parts). These documents disclose an invention for a bipolar transistor with an emitter layer made of material providing a higher band gap region than SiC. Base and collector are made of SiC.

The features that group 1 to 5 have in common are known from those X-documents. Consequently, the common feature is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since it makes no contribution over prior art.

Since no other common feature exists which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be determined between the different inventions.

Consequently, it appears, a posteriori, that claims of group 1 to 5 do not satisfy the requirements of unity of invention.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

03/10/00

 International application No.  
 PCT/SE 00/00698

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US	5641975	A	24/06/97	EP WO US	0966760 A 9835388 A 5923058 A	29/12/99 13/08/98 13/07/99
US	5624853	A	29/04/97	CA DE EP JP US JP JP	2092215 A 69319360 D,T 0562549 A,B 5275440 A 5536952 A 5275441 A 5291277 A 5291278 A	25/09/93 17/12/98 29/09/93 22/10/93 16/07/96 22/10/93 05/11/93 05/11/93
US	4985742	A	15/01/91	NONE		
US	5652437	A	29/07/97	AU AU EP EP JP JP NO SE WO	696440 B 4893596 A 0833977 A 0875077 A 11501085 T 2000503475 T 973872 A 9600199 D 9726678 A	10/09/98 18/09/96 08/04/98 04/11/98 26/01/99 21/03/00 22/08/97 00/00/00 24/07/97

---

フロントページの続き

(72)発明者 ブレイトホルツ, ポー  
スウェーデン国 エスー724 77 ヴェス  
テロス, ストルヴェルクスガタン 8  
F ターム(参考) 5F003 AP06 BB01 BC01 BE04 BF06  
BM01 BM02 BP21